PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-278950
(43)Date of publication of application : 22.10.1996

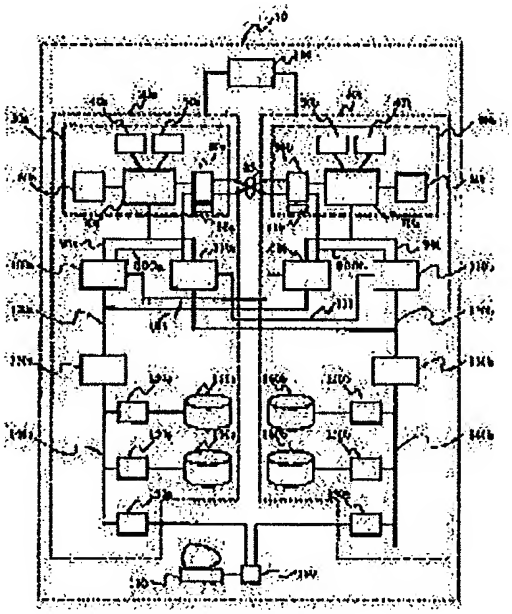
(51)Int.Cl. G06F 15/16

(21)Application number : 07-078803
(22)Date of filing : 04.04.1995

(71)Applicant : HITACHI LTD
(72)Inventor : MORITA YUICHIRO
YAMAGUCHI SHINICHIRO
NAKAMIGAWA TETSUAKI
MIYAZAKI NAOTO
TAKATANI SOICHI

(54) MULTIPLEXED COMPUTER SYSTEM AND FAULT RESTORING METHOD

(57)Abstract:
PURPOSE: To eliminate the need for system resetting for synchronization and to perform a speedy resynchronization by transmitting an answer signal generated by accessing a specific address to plural arithmetic processors at the same time and resynchronizing arithmetic processors which have recovered from a fault.
CONSTITUTION: For PIO access, the access acknowledgement wait state that an arithmetic processor is in until an access acknowledgement signal as a signal responding to an access request is received is utilized. The access acknowledgement signal for the PIO access is asserted to arithmetic processors 30a and 30b at the same time, and then the processors 30a and 30b are made to perform the PIO access at the same time, thereby synchronizing the processors 30a and 30b. Thus, the need for conventional resetting operation for synchronization is eliminated and both the processors can be synchronized by stopping ordinary operation in a short time.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平8－278950

(43)公開日　平成８年(1996)10月22日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｇ０６Ｆ　15/16	４７０		Ｇ０６Ｆ　15/16	４７０Ｊ	
				４７０Ｒ	

審査請求　未請求　請求項の数７　ＯＬ　（全 17 頁）

(21)出願番号　特願平7－78803

(22)出願日　平成７年(1995)４月４日

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地

(72)発明者　守田　雄一朗
茨城県日立市大みか町七丁目１番１号　株式会社日立製作所日立研究所内

(72)発明者　山口　伸一朗
茨城県日立市大みか町七丁目１番１号　株式会社日立製作所日立研究所内

(72)発明者　中三川　哲明
茨城県日立市大みか町七丁目１番１号　株式会社日立製作所日立研究所内

(74)代理人　弁理士　富田　和子

最終頁に続く

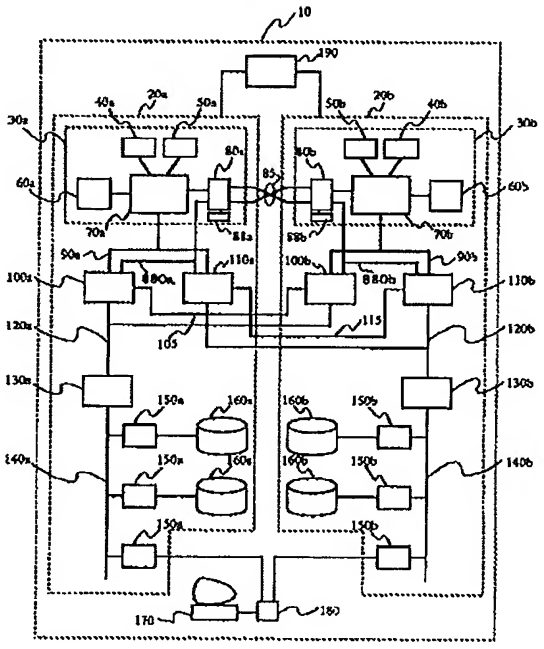
(54)【発明の名称】　多重化コンピュータシステムおよび障害回復方法

(57)【要約】

【目的】障害復旧した装置を、短時間内に再同期化させる手段を提供すること。

【構成】同一演算処理を同期して行なう各演算処理装置は、他装置の故障を検出する手段と、故障検出時に所定アドレスへのアクセス要求を行なう正常系アクセス要求手段と、自装置が故障から回復した後に、前記アドレスへのアクセス要求を行なう異常系アクセス要求手段と、処理装置からのアクセス許可に対して、前記アドレスに対しアクセスを行なうアクセス手段を備える。処理装置は、正常動作する装置の正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した装置の異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作装置および回復装置にアクセス許可を与える手段と、正常動作装置および回復装置が備えるアクセス手段からのアクセスに基づき両装置の動作を再同期する再同期手段とを備える。

図１



1

【特許請求の範囲】

【請求項１】同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、

各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記同期処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備え、

前記同期処理装置は、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備えることを特徴とする多重化コンピュータシステム。

【請求項２】同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、

正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められたアドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行ない、

前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置に、両演算処理装置に接続される処理装置からアクセス許可を与え、該アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期することを特徴とする障害回復方法。

【請求項３】同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、

各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備え、

前記同期処理装置は、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、正常動作する演算処理装置および故障から回復した演算処理装置が備えるアクセス手段からのアクセスを、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備えることを特徴とする多重化コンピュータシステム。

【請求項４】同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、

正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められた所定アドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行ない、

前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置に、両演算処理装置に接続される処理装置からアクセス許可を与え、アクセス許可を受け取った両演算処理装置からのアクセスを、同期化のための基準信号として、両演算処理装置の動作を再同期することを特徴とする障害回復方法。

【請求項５】請求項１または３において、前記各演算処理手段に、他演算処理装置から同期化を行なうことを要求されていることを示すフラグである同期化要求フラグを設定する同期化要求フラグ設定部と、自演算処理装置が前記他演算処理装置に同期化を行なうことを要求することを示すフラグである同期化待ちフラグを設定する同期化待ちフラグ設定部と、同期化要求フラグ設定部および同期化待ちフラグ設定部の双方にフラグが設定されている場合、前記正常系アクセス要求手段および異常系アクセス要求手段のいずれかを起動する再同期起動部を設けたことを特徴とする多重化コンピュータシステム。

【請求項６】請求項５において、前記同期処理装置に、前記同期化要求フラグ設定部および前記同期化待ちフラグ設定部の双方にフラグが設定されている場合であって、全演算処理装置に対してアクセス許可を与える際に、全演算処理装置に同期化が成功した旨を報告する手段を設けたことを特徴とする多重化コンピュータシステム。

【請求項７】請求項１または３において、各演算処理装置に、予め定めた所定時間内にアクセス許可応答を受け取れない場合、前記正常系アクセス要求手段を再度起動するリトライ手段を設けたことを特徴とする多重化コンピュータシステム。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、多重化コンピュータシステムに関し、特に、多重化されたコンピュータシステムのいずれかに障害が発生した場合に、発生した障害からの回復を迅速に行う多重化コンピュータシステムおよび障害回復方法に関する。

【０００２】

【従来の技術】複数の演算処理装置が同一の演算を同期して実行する、従来の多重化コンピュータシステムでは、各演算処理装置が、システムによって与えられるクロックに同期した状態で多重化動作を行なう構成になっているため、起動時あるいは動作中における同期化が必要な場合に、全ての演算処理装置を一斉に同期させる手段を備えることが必要であった。

【０００３】なお、動作中における同期化は、障害が発生したために、ある演算処理装置が動作不能となったり、ある演算処理装置の定期点検を行なったりした後に、再度多重化動作を行なわせるための再同期を行なうために必要となる。

【０００４】そして、例えば２重化動作している全演算処理装置を同期させる１つの方式として、以下の方式が一般的に採用されている。

【０００５】すなわち、２重化動作しているコンピュータシステムにおいて、動作している演算処理装置（正常系）が備えるメモリ装置の記憶内容と、動作している演算処理装置が備えるメモリ装置によって受け取られた全てのデータとを、動作していない演算処理装置（異常系）が備えるメモリ装置へ転送し、正常系のメモリ装置の記憶内容が完全に転送された時点で、両演算処理装置を同一状態となるように一時的にリセット処理し、両演算処理装置内において、オペレーティングシステムを再起動することによって両系の同期化を行う。これに関連する技術を開示した特許公報例として、特開平３－１８２９５８号公報等が挙げられる。

【０００６】

【発明が解決しようとする課題】ところで、多重化され耐障害性機能を有するコンピュータシステムは、たとえそのダウン時間（故障発生から、再度多重化動作を行なうようになるまでの時間）がいかに短くとも極めて弊害が大きく、プラント運営コスト等のコストを増大させてしまうようなシステム、例えば、航空交通管制システムや核処理プラントの制御等の各種の分野に使用される。したがって、ダウン時間が長期化すればするほど、システムダウンによってもたらされる実際の弊害や該弊害が

他のシステムの運営に与える潜在的な弊害は増大してしまうことになる。

【０００７】しかしながら、上述した従来方式によれば、同期化を行うために全演算処理装置をリセットし、さらに、起動に時間を要するオペレーティングシステムを再起動する処理を行なう必要があるために、システム全体が長時間動作不能となる事態が発生してしまい、弊害の増大を招いてしまうという問題があった。

【０００８】そこで、本発明の目的は、複数の演算処理装置で構成された多重化コンピュータシステムにおいて、障害から復旧した演算処理装置を再同期させる際に、極力短時間内の動作停止で同期化させることを可能とする多重化コンピュータシステムおよび障害回復方法を提供することにある。

【０００９】

【課題を解決するための手段】前記目的を達成するために、以下のようなシステムが考えられる。

【００１０】すなわち、同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備える。

【００１１】そして、同期処理装置の少なくとも１つは、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備える多重化コンピュータシステムである。

【００１２】また、以下のような態様も考えられる。

【００１３】すなわち、同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス

要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備える。

【００１４】そして、同期処理装置は、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、正常動作する演算処理装置および故障から回復した演算処理装置が備えるアクセス手段からのアクセスを、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備えるシステムである。

【００１５】また、以下のような障害回復方法も考えられる。

【００１６】すなわち、同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められたアドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行ない、前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置に、両演算処理装置に接続される処理装置からアクセス許可を与え、該アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期する障害回復方法である。

【００１７】また、障害回復方法として、以下のような態様も考えられる。

【００１８】すなわち、同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められたアドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行なう。

【００１９】そして、前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置が、両演算処理装置に接続される処理装置からアクセス許可を受け取り、アクセス許可を受け取った両演算処理装置からのアクセスを同期化のための基準信号として、両演算処理装置の動作を再同期する障害回復方法である。

【００２０】

【作用】複数の演算処理装置は、同一演算処理を同期して行なっており、各演算処理装置に接続された同期処理装置は、再同期の処理を行なう。

【００２１】演算処理装置が備える故障検出手段は、他演算処理装置の故障を検出する。

【００２２】なお、正常系アクセス要求手段は、故障検出手段によって、他演算処理装置の故障を検出した場合、処理装置内の予め定められたアドレスに対するアクセス要求を、例えば、所定時間間隔で行なう。

【００２３】また、異常系アクセス要求手段は、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう。

【００２４】さらに、演算処理装置が備えるアクセス手段は、処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なう。

【００２５】そして、前記同期処理装置は、アクセス許可手段によって、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内であると判断した場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与える。

【００２６】そしてさらに、再同期手段は、アクセス許可の信号を同期化のための基準信号とし、両演算処理装置の動作を再同期する。すなわち、両演算処理装置の動作タイミングを調整して、２重系動作を行なわせる。

【００２７】また、アクセス許可を与えた後に、以下のように動作する、他の作用も考えられる。

【００２８】すなわち、再同期手段は、正常動作する演算処理装置および故障から回復した演算処理装置が備えるアクセス手段からのアクセスを同期化のための基準信号とし、両演算処理装置の動作を再同期する。

【００２９】

【実施例】以下、本発明にかかる実施例を図面を参照して説明する。

【００３０】図１に、本発明にかかる多重化コンピュータシステム１０の構成図を示す。

【００３１】この多重化コンピュータシステム１０は、クロック装置１９０とＡ系サブシステム２０ａとＢ系サブシステム２０ｂとを有して構成され、さらに、両系サブシステムと端末装置１７０とは、端末接続装置１８０を介して接続されている。

【００３２】また、Ａ系サブシステム２０ａは、予め定められた所定の演算処理を行なう演算処理装置３０ａと、複数の多重化バス制御装置１００ａ、１１０ａと複数のＩ／Ｏ装置１６０ａとを少なくとも備えた構成を有

し、同様に、Ｂ系サブシステム２０ｂは、予め定められた所定の演算処理を行なう演算処理装置３０ｂと、複数の多重化バス制御装置１００ｂ、１１０ｂと、複数のＩ／Ｏ装置１６０ｂとを少なくとも備えた構成を有している。

【００３３】両系の対応（同一の番号が付された）する構成要素は、同一の機能を有しており、両系は、同一の構成となっている。

【００３４】クロック装置１９０は、同一周波数、かつ、同一位相を有するクロックを、Ａ系サブシステム２０ａおよびＢ系サブシステム２０ｂに供給する装置である。

【００３５】Ａ系サブシステム２０ａとＢ系サブシステム２０ｂは、上述したように同一の構成であって、クロック装置１９０によって供給されるクロックの周期にしたがって、同一動作、即ち、同期動作を行っている。つまり、Ａ系サブシステム２０ａとＢ系サブシステム２０ｂとは、同一の演算処理を行なう２重系動作を行なっている。

【００３６】端末装置１７０は、本装置をオペレータが操作することによって、例えば、多重化コンピュータシステム１０の保守操作を行なえる。

【００３７】ユーザーが、端末装置１７０を操作することによって、多重化コンピュータシステム１０に、予め定められた処理を行なうように要求すると、多重化コンピュータシステム１０は、要求された処理をＡ系サブシステム２０ａとＢ系サブシステム２０ｂの双方で同時に実行する。このため、一方のサブシステムに故障が発生して処理が停止したとしても、他方のサブシステムにより、処理が継続して実行され、要求した処理が行なわれることになる。

【００３８】さらに詳細な構成を述べると、Ａ系サブシステム２０ａは、さらに、複数のＩ／Ｏ装置１６０ａを接続するＩ／Ｏバス１４０ａと、Ｉ／Ｏ装置１６０ａや端末接続装置１８０をＩ／Ｏバス１４０ａに接続するＩ／Ｏインターフェース１５０ａと、複数のＩ／Ｏ装置１６０ａによるＤＭＡアクセス（Direct Memory Access）を調停する機能を有するＩ／Ｏバス制御装置１３０ａと、Ｉ／Ｏバス制御装置１３０ａとＡ系の多重化バス制御装置１００ａとＢ系の多重化バス制御装置１００ｂとを接続する多重化バス１２０ａと、Ｉ／Ｏバス制御装置１３０ｂとＡ系の多重化バス制御装置１１０ａとＢ系の多重化バス制御装置１１０ｂとを接続する多重化バス１２０ｂと、Ｉ／Ｏ装置１６０ａのＤＭＡアクセスと演算処理装置３０ａのＰＩＯアクセスとを調停する多重化バス制御装置１００ａと、Ｉ／Ｏ装置１６０ｂのＤＭＡアクセスと演算処理装置３０ａのＰＩＯアクセスとを調停する多重化バス制御装置１１０ａと、演算処理装置３０ａと多重化バス制御装置１００ａと多重化バス制御装置１１０ａを接続するシステムバス９０ａとを備えている。

【００３９】なお、図を見れば分かるように、Ｂ系サブシステム２０ｂもＡ系サブシステム２０ａと同一の構成であるので、Ａ系サブシステム２０ａ側のみについて、その構成を説明する。

【００４０】また、信号線１０５は、多重化バス制御装置１００ａと多重化バス制御装置１００ｂとの間で、多重化バス制御装置に与える制御信号を互いに送受信するための信号線であり、信号線１１５は、多重化バス制御装置１１０ａと多重化バス制御装置１１０ｂとの間で、多重化バス制御装置に与える制御信号を互いに送受信するための信号線である。

【００４１】また、演算処理装置３０ａは、供給されるクロックの同期にしたがって同一処理を行う２台のプロセッサ４０ａと５０ａと、メモリ装置６０ａと、系間インターフェイス８０ａと、所定のプログラムが内蔵されているＲＯＭ８８ａとを有して構成され、さらに、コントロールユニット７０ａには、システムバス９０ａが、また、系間インターフェイス８０ａには、系間バス８５が接続されている。

【００４２】コントロールユニット７０ａは、２台のプロセッサ４０ａとプロセッサ４０５０ａとから出力される出力データを比較して、それらのデータが不一致ならばプロセッサ４０ａまたはプロセッサ５０ａにおいて、エラーが発生したと判断するエラー検出機能、メモリ装置６０ａのエラーをＥＣＣコードにより検出する機能、および、システムバス９０ａの故障（エラー）をパリティチェックにより検出する機能を備えている。演算処理装置３０ｂは、演算処理装置３０ａと同一の構成要素を有しているため、演算処理装置３０ａと同様な機能を有する。なお、本発明においては、エラー検出機能は本質的なものではないので、その詳細な説明は省略することにする。

【００４３】また、演算処理装置３０ａと演算処理装置３０ｂとが備える系間インターフェース８０ａと８０ｂは、サブシステムの動作状態等の情報を互いに交換するためのインターフェースとして機能する。系間インターフェース８０ａと８０ｂとの間の情報の伝送は、系間バス８５を介して行なわれる。

【００４４】信号線８８０ａは、系間インターフェース８０ａがサブシステムの動作状態を、多重化バス制御装置１００ａおよび多重化バス制御装置１１０ａに通知するための信号線であり、信号線８８０ｂは、系間インターフェース８０ｂがサブシステムの動作状態を、多重化バス制御装置１００ｂおよび多重化バス制御装置１１０ｂに通知するための信号線であり、両信号線は、同一の役目を行なう。

【００４５】系間インターフェース８０ａ、８０ｂには、それぞれ、立ち上げ処理プログラムおよび障害回復処理プログラムとを少なくとも、予め内蔵するＲＯＭ８

８ａ、８８ｂが備えられている。前記立ち上げ処理プログラムは、サブシステムを起動するためのプログラムであり、サブシステムの起動時に実行される。また、前記障害回復処理プログラムは、例えば、一方のサブシステムに故障が発生したために動作が停止した場合、サブシステムの故障部分を、システムの保守者であるユーザ等が交換した後、処理を継続している他方のサブシステムと再び同期動作を行わせる（これを「同期化」あるいは「再同期」と称する）ために実行させるプログラムである。なお、前記立ち上げ処理プログラム、障害回復処理プログラムの実行開始は、例えば、端末装置１７０の操作により指示すれば行なわれるように、システム構成を行なっておけば良い。

【００４６】次に、図２を参照して、特に本発明の主要部である系間インターフェース８０ａおよび系間インターフェース８０ｂ、さらには、その付随構成要素構成の構成および動作を説明する。

【００４７】系間インターフェース８０ａは、Ａ系演算処理装置３０ａおよびＢ系演算処理装置３０ｂの双方が同期動作中であることを示すフラグである同期フラグ８１ａと、Ｂ系の演算処理装置３０ｂがＡ系の演算処理装置３０ａに対して同期化を要求していることを示すフラグである同期化要求フラグ８２ａと、Ａ系の演算処理装置３０ａがＢ系の演算処理装置３０ｂに対して同期化を要求していることを示すフラグである同期待ちフラグ８３ａと、Ａ系の演算処理装置３０ａが故障したことを示すフラグである故障フラグ８４ａと、Ａ系の演算処理装置３０ａが障害からの復旧中であることを示すフラグである復旧フラグ８９ａと、各種の論理演算素子とを有して構成される。

【００４８】信号線７３ａは、コントロールユニット７０ａが、Ａ系の演算処理装置３０ａで発生したエラーを検出したことを系間インターフェース８０ａに通知するエラー検出信号を伝送する信号線であり、信号線８６ａは、Ａ系の演算処理装置３０ａおよびＢ系の演算処理装置３０ｂの双方が同期化を試みる状態であることを、系間インターフェース８０ａが多重化バス制御装置１００ａと１１０ａに通知する同期化モード信号を送信する信号線であり、さらに、信号線１０８ａは、多重化バス制御装置１００ａまたは１１０ａが、系間インターフェース８０ａに、同期化の成功を通知する同期化成功信号を伝送する信号線である。

【００４９】系間インターフェース８０ｂも同様な構成である。

【００５０】故障フラグ８４ａは、信号線７３ａ上のエラー検出信号７３ａがアサートされるとセットされ、プロセッサ４０ａ、５０ａによるレジスタライト動作によってリセットされる。

【００５１】同様に、故障フラグ８４ｂは、信号線７３ｂ上のエラー検出信号がアサートされるとセットされ、プロセッサ４０ｂ、５０ｂによるレジスタライト動作によって、リセットされる。

【００５２】同期フラグ８１ａは、同期化要求フラグ８２ａと同期待ちフラグ８３ａがセットされている場合であって、同期化成功信号１０８ａがアサートされるとセットされる。ここで各種フラグのセットとは、各フラグの内容として、例えば、デジタル信号「１」が格納された状態、また、リセットとは、各フラグの内容として、デジタル信号「０」が格納された状態に対応すると考えれば良い。また、そのように、セット、リセット動作が行なわれる。

【００５３】本実施例では、ＯＲゲートは、リセットスイッチとして機能する、即ち、ＯＲゲート出力（出力「１」の状態）によってリセット動作が行なわれ、ＡＮＤゲートは、セットスイッチとして機能する、即ち、ＡＮＤゲート出力（出力「１」の状態）によってリセット動作が行なわれるものとする。

【００５４】同様に、同期フラグ８１ｂは、同期化要求フラグ８２ｂと同期待ちフラグ８３ｂがセットされている場合であって、同期化成功信号１０８ｂがアサートされるとセットされる。

【００５５】故障フラグ８４ａまたは８４ｂがセットされると、同期フラグ８１ａと８１ｂの双方ともがリセットされる。同期化要求フラグ８２ｂと同期待ちフラグ８３ａと復旧フラグ８９ａとは、プロセッサ４０ａ、５０ａによるレジスタライト動作によって、セット／リセットされる。

【００５６】同様に、同期化要求フラグ８２ａと同期待ちフラグ８３ｂと復旧フラグ８９ｂとは、プロセッサ４０ｂ、５０ｂによるレジスタライト動作でセット／リセットされる。

【００５７】プロセッサ４０ａ、５０ａと４０ｂ、５０ｂは、図２に示す総てのフラグの状態をレジスタリード動作により調べることが可能である。

【００５８】同期化モード信号８６ａは、同期化要求フラグ８２ａと同期待ちフラグ８３ａとがセットさるとアサートされ、同期化要求フラグ８２ａ、または、同期待ちフラグ８３ａがリセットされるとネゲートされる。同様に、同期化モード信号８６ｂは、同期化要求フラグ８２ｂと同期待ちフラグ８３ｂとがセットさるとアサートされ、同期化要求フラグ８２ｂ、または、同期待ちフラグ８３ｂがリセットされるとネゲートされる。

【００５９】このような動作によって、故障の検出を行ない、同期化を行なうために多重化制御装置側に同期化モード信号を出力し、同期化が成功した場合には、多重化制御装置側から同期化成功信号を受信する処理を行なうことができる。

【００６０】次に、図３に、本発明にかかる多重化バス制御装置１００ａおよび１００ｂ、さらに、その周辺構成要素の構成図を示す。

【００６１】多重化バス制御装置１００ａは、アドレス／データバッファ１０１ａと、演算処理装置３０ａおよびＩ／Ｏバス制御装置１３０ａ間のアクセスを調停する調停手段１０２ａと、演算処理装置３０ａと演算処理装置３０ｂの同期化を行う同期化手段１０３ａとを有して構成される。

【００６２】同期化手段１０３ａと系間インターフェイス８０ａとは、前述した、信号線８６ａ、信号線１０８ａによって接続されており、それぞれの信号線に対応する信号が送受信されている。

【００６３】また、図３に示す信号線９１ａと信号線９２ａと信号線９３ａは、それぞれシステムバス９０ａを構成する信号線であり、信号線９１ａは、アドレス／データ情報を伝送する信号線であるアドレス／データ線、信号線９２ａは、演算処理装置３０ａから多重化バス制御装置１００ａへのアクセス要求信号を伝送する信号線、信号線９３ａは、多重化バス制御装置１００ａから演算処理装置３０ａへのアクセス許可信号を伝送する信号線である。

【００６４】また、信号線１２１ａと信号線１２２ａと信号線１２３ａは、それぞれシステムバス９０ａを構成する信号線であり、信号線１２１ａは、アドレス／データ情報を伝送する信号線であるアドレス／データ線と、信号線１２２ａは、Ｉ／Ｏバス制御装置１３０ａから多重化バス制御装置１００ａへのアクセス要求信号を伝送する信号線、信号線１２３ａは、多重化バス制御装置１００ａからＩ／Ｏバス制御装置１３０ａへのアクセス許可信号を伝送する信号線である。

【００６５】信号線１０６ａは、調停手段１０２ａが演算処理装置３０ａにアクセス権を与えることを決定したことを示すアクセス可能信号を、Ｂ系に伝送する信号線である。多重化バス制御装置１００ａは、演算処理装置３０ａおよびＩ／Ｏバス制御装置１３０ａから、アクセス要求を行なうためにアクセス要求信号が出力されると、調停手段１０２ａによって、アクセス要求の調停を行う。

【００６６】調停手段１０２ａが、演算処理装置３０ａにアクセス権を与えることを決定した場合、調停手段１０２ａは、アクセス可能信号（１０６ａ）をアサートする。

【００６７】アクセス可能信号（１０６ａ）がアサートされると、同期化手段１０３ａは、後に説明する制御動作によって、アクセス許可信号（信号線９３ａ）をアサートする。そして、調停手段１０２ａは、アクセス許可信号９３ａがアサートされると、アクセス可能信号１０６ａをネゲートする。

【００６８】一方、調停手段１０２ａがＩ／Ｏバス制御装置１３０ａにアクセス権を与えることを決定した場合、調停手段１０２ａは、アクセス許可信号（１２３ａ）をアサートする。

【００６９】なお、多重化バス制御装置１００ｂ、１１０ａおよび１１ｂも、上述したような、多重化バス制御装置１００ａと同様の動作を行なう。

【００７０】また、演算処理装置３０ａと演算処理装置３０ｂとが同期動作中であれば、多重化バス制御装置１００ａと多重化バス制御装置１００ｂの動作も同期して行なわれる。多重化バス制御装置１００ａと多重化バス制御装置１００ｂは、システムの立ち上げ時に、それぞれ、プライマリ・モードとセカンダリ・モードに設定される。プライマリ・モードでは、多重化バス１２０ａによる信号の入出力が可能な状態である。また、セカンダリ・モードは、多重化バス１２０ａからの、信号の入力のみが可能状態であり、多重化バス１２０ａへの、信号の出力は不可能である。

【００７１】すなわち、演算処理装置３０ａと演算処理装置３０ｂの双方の装置から、同時にＩ／Ｏバス制御装置１３０ａへアクセスを行なう場合、実際には、演算処理装置３０ａのみがアクセス動作を行ない、Ｉ／Ｏバス制御装置１３０ａから、演算処理装置３０ａと演算処理装置３０ｂへのアクセスは同時に行われる。

【００７２】以上のように、多重化バス制御装置は、演算装置およびＩ／Ｏバス制御装置からのアクセス要求の調停、調停手段が自系の演算処理装置にアクセス権を与えることを、他系に伝える動作、演算処理装置へのアクセス許可信号を伝送する動作等を行なう。

【００７３】次に図４に、同期化手段１０３ａの構成を示す。同期化手段１０３ａは、コントロール部１０３１ａとタイマー部１０３２ａとを有して構成される。

【００７４】タイマー部１０３２ａは、調停手段１０２ａがアクセス可能信号１０６ａをアサートしてから、予めユーザーが設定したタイムアウト時間内に、調停手段１０２ｂがアクセス可能信号１０６ｂをアサートしなかったことをコントロール部１０３１ａに通知する機能を有する。

【００７５】すなわち、タイマー部１０３２ａは、アクセス可能信号１０６ａがアサートされると内蔵する、時間を計測する機能を有する時間計測手段（図示せず）を起動し、起動時から予め定めたタイムアウト時間が経過するとタイムアウト信号（１０３３ａ）をアサートし、また、アクセス可能信号１０６ｂがアサートされると、前記時間計測手段がリセットされる。タイムアウト時間の設定は、タイマー部１０３２ａが備えるレジスタへの書き込み操作によって行うことができるようにしておけばよい。

【００７６】コントロール部１０３１ａは、同期化モード信号（８６ａ）、アクセス可能信号（１０６ａ）、アクセス可能信号（１０６ｂ）、および、タイマー部１０３２ａからのタイムアウト信号（１０３３ａ）を入力し、これらの入力信号に基いて、アクセス許可信号（９３ａ）と同期化成功信号（１０８ａ）を出力する処理を

行なう。

【００７７】コントロール部１０３１ａは、各種の論理素子の組み合わせ回路で実現でき、コントロール部１０３１ａにおける具体的な制御動作の態様は、以下に示すものがある。

【００７８】（１）第１のケース：同期化モード信号８６ａがアサートされていない場合には、アクセス可能信号（１０６ａ）がアサートされると、コントロール部１０３１ａは、アクセス許可信号９３ａのみをアサートする。

【００７９】（２）第２のケース：同期化モード信号（８６ａ）がアサートされ、かつ、アクセス可能信号（１０６ａ）とアクセス可能信号（１０６ｂ）がアサートされた場合、コントロール部（１０３１ａ）は、アクセス許可信号（９３ａ）と同期化成功信号（１０８ａ）をアサートする。

【００８０】（３）第３のケース：同期化モード信号（８６ａ）がアサートされ、かつ、アクセス可能信号（１０６ａ）とタイムアウト信号（１０３３ａ）がアサートされた場合、コントロール部（１０３１ａ）は、アクセス許可信号９３ａのみをアサートする。

【００８１】以上のように、同期化手段は、各種の信号に基づいて同期化成功信号（１０８ａ）をアサートし、該信号を系間インターフェイスに伝える機能を有する。

【００８２】次に、図５に、Ｂ系演算処理装置３０ｂにエラーが発生した場合の、障害回復処理プログラムの実行による障害回復動作を説明するためのフローチャートを示す。

【００８３】図中、左側には、Ａ系演算処理装置における動作、右側には、Ｂ系演算処理装置における動作を示す。

【００８４】まず、Ｂ系演算処理装置３０ｂにおいてエラー（故障の発生）が検出されると（ステップ５０１０）、エラー検出信号（７３ｂ）がアサートされ、故障フラグ８４ｂがセットされる（ステップ５０２０）。

【００８５】さらに、ステップ５０３０において、同期フラグ８１ａと８１ｂがリセットされる。

【００８６】そして、Ｂ系演算処理装置３０ｂは、処理を停止し（ステップ５０４０）、Ａ系演算処理装置３０ａが、単独で処理を継続することになる。この時点で、２重系動作が行なわれなくなる。

【００８７】システムの保守管理を行なうユーザーは、Ｂ系演算処理装置３０ｂの故障部分、例えば、故障したプロセッサやメモリ等を、正常動作する同一の機能を有するデバイスと交換する作業を行ない（ステップ５０５０）、作業完了後に、端末装置１７０の操作等によって、Ｂ系演算処理装置３０ｂを起動する（ステップ５０６０）。

【００８８】なお、Ｂ系演算処理装置３０ｂの起動は、端末装置１７０の操作により行なえるようにシステムを構成してもよいし、Ｂ系演算処理装置３０ｂに起動スイッチを設け、この起動スイッチの操作によって、起動操作に対応した処理を行なうプログラムを実行するようにしておいてもよい。

【００８９】さて、Ｂ系演算処理装置３０ｂは、起動操作が行なわれると、ＲＯＭ８８ｂに内蔵してある、初期化プログラムの実行により、プロセッサ４０ｂ、５０ｂが備えるキャッシュメモリやメモリ装置６０ｂの記憶内容等をクリアするとともに、故障フラグ８４ｂをリセットし、復旧フラグ８９ａをセットする（ステップ５０７０）。

【００９０】一方、Ａ系演算処理装置３０ａのプロセッサ４０ａ、５０ａは、例えば、通常行なっている処理の合間をみて、Ｂ系の故障フラグ８４ｂの内容を適宜リードして監視する動作を行なっている（ステップ５０８０）。もちろん、所定時間間隔で故障フラグ８４ｂの内容をリードして監視する動作を行なうようにしても良い。

【００９１】そして、故障フラグ８４ｂがリセットされた場合（５０９０）、メモリ装置６０ａの内容を、メモリ装置６０ｂにコピーするメモリコピー処理を行う（ステップ５１００）。

【００９２】メモリコピー処理とは、プロセッサ４０ａ、５０ａが、メモリ装置６０ａを一定領域単位に所定時間間隔でリードし、リードした内容を、コントロールユニット７０ａ、システムバス９０ａ、多重化バス制御装置１００ａと１１０ａ、多重化バス１２０ａと１２０ｂを介し、さらに、多重化バス制御装置１００ｂと１１０ｂ、システムバス９０ｂ、コントロールユニット７０ｂを介して、メモリ装置６０ｂにライトする処理である。

【００９３】このような処理によって、両系の同期化のための準備が行なわれる。

【００９４】また、コントロールユニット７０ａは、メモリコピーを開始してから、Ａ系演算処理装置３０ａとＢ系演算処理装置３０ｂの同期化が成功するまで、プロセッサ４０ａ、５０ａまたはＩ／Ｏ装置１６０ａから、メモリ装置６０ａへのライトデータも上記の経路によって、メモリ装置６０ｂにライトする機能を有する。

【００９５】以上の処理により、メモリ装置６０ｂの記憶内容と、メモリ装置６０ａの記憶内容とが一致する。

【００９６】次に、プロセッサ４０ａ、５０ａが、メモリ装置６０ａの全記憶領域のリード動作を完了すると、即ち、メモリ装置６０ａの全記憶内容をメモリ装置６０ｂにライトすると、プロセッサ４０ａ、５０ａは、同期化タスクを実行する（ステップ５１１０）。

【００９７】同期化タスクは、Ａ系演算処理装置３０ａとＢ系演算処理装置３０ｂを再同期させるための処理である。プロセッサ４０ａ、５０ａは、故障していないため、通常処理の合間をみて同期化タスクを実行すればよ

いが、１回目の同期化タスク実行で同期化を実現できるとは限られないため、２回以上、同期化タスクを実行する場合もある（ステップ５１２０等）。このような、リトライ処理を行なうようにプログラミングしておけばよい。

【００９８】例えば、予め定めた所定時間内に同期化が実現しない場合、自動的にリトライ処理を行なうようにしてもよい。

【００９９】この２回目以降の同期化タスクは、連続して実行する必要はなく、通常処理の合間に実行すればよい。上記の同期化タスクは、後述するように、他系の同期要求フラグをセットする処理を含んでおり、この処理によって、プロセッサ４０ａ、５０ａは、同期化タスクの実行時に、同期要求フラグ８２ｂをセットする。

【０１００】また、Ｂ系のプロセッサ４０ｂ、５０ｂは、同期要求フラグ８２ｂの内容を定期的にリードしており（ステップ５１３０）、同期要求フラグ８２ｂがセットされると（５１４０）、プロセッサ４０ｂ、５０ｂも同期化タスクを実行する（ステップ５１５０）。

【０１０１】同期化タスクによってＡ系演算処理装置３０ａとＢ系演算処理装置３０ｂが同期化すると、Ａ系プロセッサ４０ａ、５０ａおよびＢ系プロセッサ４０ｂ、５０ｂは同期化タスクを終了し（ステップ５１６０）、通常処理を開始する。

【０１０２】このような一連の処理によって、一方の系に障害が発生しても、他系に障害回復動作のための過大な処理時間を要求しないで障害回復を行ない、再同期を行なうことができる。

【０１０３】図６は、同期化タスクの動作内容を表わすフローチャートである。

【０１０４】まず、Ａ系の演算処理装置３０ａにおいて同期化タスクが実行されると、プロセッサ４０ａ、５０ａによって、（他系）同期化要求フラグ８２ｂおよび（自系）同期化待ちフラグ８３ａをセットする（ステップ６０１０）。

【０１０５】さらに、Ｂ系の演算処理装置３０ｂが同期化タスクを実行することによって、同期化要求フラグ８２ａがセットされたならば、系間インターフェース８０ａは、同期化モード信号８６ａをアサートする。次に、特定のアドレスに対するアクセスである、ＰＩＯアクセスを発行する（ステップ６０２０）。

【０１０６】ここで、特定のアドレスとは、同期化タスクのプログラムにおいて、予め指定した多重化バス制御装置の内部レジスタのアドレスやＩ／Ｏ装置におけるアドレス等である。

【０１０７】アクセス先を指定しておく理由は、Ａ系の演算処理装置３０ａによるＰＩＯアクセスと、Ｂ系の演算処理装置３０ｂによるＰＩＯアクセスとの、アクセス時間を等しくするためである。

【０１０８】なお、Ａ系およびＢ系が、アクセスするアドレスは、完全に一致させるのが好ましいが、例えば、所定のエリアが有するアドレス（アドレスの値に幅がある）をアクセスするようにしてもよい。

【０１０９】また、演算処理装置以外のシステム構成部を、複数に分割し、各分割部分に前記特定アドレスを格納しておき、いずれかの特定アドレスを用いて本発明にかかる処理を行なうようにしてもよい。

【０１１０】ＰＩＯアクセスにおいて、Ａ系の演算処理装置３０ａは、アクセス要求信号９２ａをアサートする。そして、調停手段１０２ａは、アクセス要求信号９２ａに対し、アクセス可能信号１０６ａをアサートする。同期化手段１０３ａは、前述したように、アクセス許可信号９３ａをアサートと、条件が満足すれば同期化成功信号１０８ａもアサートする。

【０１１１】そして、同期化成功信号１０８ａがアサートされると同期フラグ８１ａが、セットされる。プロセッサ４０ａ、５０ａは、ＰＩＯアクセスが完了した後に、同期フラグ８１ａの内容を調べる（ステップ６０３０）。

【０１１２】そして、同期フラグ８１ａがセットされていれば（Ｙｅｓ）、（他系）同期化要求フラグ８２ｂと、（自系）同期待ちフラグ８３ａと、（自系）復旧フラグ８９ａをリセットして（ステップ６０４０）、同期化タスクの処理を終了する。

【０１１３】一方、同期フラグ８１ａがセットされていなければ（Ｎｏ）、復旧フラグ８９ａの内容を調べ（ステップ６０５０）、復旧フラグ８９ａがセットされていれば（Ｙｅｓ）、再び、ＰＩＯアクセスを発行し（６０２０）、復旧フラグ８９ａがセットされていなければ（Ｎｏ）、（他系）同期化要求フラグ８２ｂと、（自系）同期待ちフラグ８３ａと、（自系）復旧フラグ８９ａをリセットして（ステップ６０４０）同期化タスクの処理を終了する。

【０１１４】なお、上記動作例では、特定アドレスに対する（ＰＩＯ）アクセス動作が許可されて、ＰＩＯアクセスが実際に行なわれることによって、両演算装置の再同期を行なうもの、すなわち、実際のＰＩＯアクセスを基準信号として、同期化を行なっているが、特定のアドレスに対するアクセス許可信号９３ａ、９３ｂが生成される際、これらの許可信号を、両演算装置の再同期を行なうための基準信号として、両演算装置の動作のタイミング調整を行なっても良い。

【０１１５】以上に説明してきた動作により、同期化タスクの処理が実行される。

【０１１６】図７は、同期化タスクによって、Ａ系の演算処理装置３０ａとＢ系の演算処理装置３０ｂが行なう同期化までの動作の変化状態を示した図である。

【０１１７】図中、左側は、Ａ系のプロセッサ４０ａ、５０ａ、多重化バス制御装置１００ａ、系間インターフェイス８０ａの動作状態の変化を示し、右側は、Ｂ系の

系間インターフェイス８０ｂ、多重化バス制御装置１００ｂ、プロセッサ４０ｂ、５０ｂの動作状態の変化を示す。

【０１１８】Ａ系のプロセッサ４０ａ、５０ａが、同期化タスクを起動すると（７０１０）、同期化要求フラグ８２ｂおよび同期待ちフラグ８３ａをセットする（７０２０）。

【０１１９】Ｂ系のプロセッサ４０ｂ、５０ｂは、定期的に同期化要求フラグ８２ｂの内容をリードしており（７０３０）、同期化要求フラグ８２ｂがセットされていると同期化タスクを起動する（７０４０）。

【０１２０】Ａ系のプロセッサ４０ａ、５０ａは、多重化バス制御装置１００ａにＰＩＯアクセスを要求するが（７０５０）、Ｂ系のプロセッサ４０ｂ、５０ｂによる同期化要求フラグ８２ａおよび同期待ちフラグ８３ｂのセット（７０６０）が遅れると、系間インターフェース８０ａは同期化モード信号８６ａをアサートしないので、多重化バス制御装置１００ａは、アクセス許可信号９３ａだけをアサートする（７０７０）。

【０１２１】また、Ａ系のプロセッサ４０ａ、５０ａは、アクセス許可信号９３ａがアサートされるとＰＩＯアクセスを実行する（７０８０）。

【０１２２】Ｂ系の系間インターフェース８０ｂの同期化要求フラグ８２ｂと同期待ちフラグ８３ｂはセットされているので、Ｂ系の系間インターフェース８０ｂは、同期化モード信号８６ｂをアサートする（７０９０）。

【０１２３】Ｂ系のプロセッサ４０ｂ、５０ｂは、多重化バス制御装置１００ｂにＰＩＯアクセスを要求するが（７１００）、同期化モード信号８６ｂがアサートされているので、多重化バス制御装置１００ｂは、多重化バス制御装置１００ａがアクセス可能信号１０６ａをアサートするか、系間インターフェース８０ｂが同期化モード信号８６ｂをネゲートするか、同期化手段１０３ｂのタイマー部１０３２ｂがタイムアウトを通知するまで、アクセス許可信号９３ｂおよび同期化成功信号１０８ｂのいずれもアサートしない（７１１０）。

【０１２４】Ａ系のプロセッサ４０ａ、５０ａは、ＰＩＯアクセス終了後、同期フラグ８１ａの内容をリードし、同期フラグ８１ａがセットされていないと、同期化要求フラグ８２ｂおよび同期待ちフラグ８３ａをリセットして（７１２０）、同期化タスクを終了し（７１３０）、通常処理のタスクを起動する（７１４０）。

【０１２５】また、系間インターフェース８０ｂは、同期化要求フラグ８２ｂがリセットされると同期化モード信号８６ｂをネゲートする（７１５０）。多重化バス制御装置１００ｂは、同期化モード信号８６ｂがネゲートされると、アクセス許可信号９３ｂだけをアサートする（７１６０）。

【０１２６】Ｂ系のプロセッサ４０ｂ、５０ｂは、アクセス許可信号９３ｂがアサートされると、ＰＩＯアクセスを実行する（７１７０）。プロセッサ４０ｂ、５０ｂは、ＰＩＯアクセス終了後に同期フラグ８１ｂの内容をリードし、同期フラグ８１ｂがセットされていなければ、再度ＰＩＯアクセス要求を試みる（７１８０）。

【０１２７】Ａ系のプロセッサ４０ａ、５０ａは、切りの良い時に（例えば、１つのサブルーチンに対する処理の終了後等）通常処理のタスクを終了させ（７１９０）、再度同期化タスクを起動する（７２００）。

【０１２８】以下、再度の同期化タスクの起動処理に対する、各構成要素の動作について説明する。

【０１２９】Ａ系のプロセッサ４０ａ、５０ａが、同期化要求フラグ８２ｂおよび同期待ちフラグ８３ａをセットすると（７２１０）、同期化要求フラグ８２ａおよび同期待ちフラグ８３ｂは、既にセットされているので、系間インターフェース８０ａと８０ｂは、同期化モード信号（８６ａ）と同期化モード信号（８６ｂ）をアサートする（７２２０）。

【０１３０】そして、Ａ系のプロセッサ４０ａ、５０ａが、多重化バス制御装置１００ａに対し、ＰＩＯアクセスを要求すると（７２３０）、多重化バス制御装置１００ａは、アクセスの調停結果として、アクセス可能信号（１０６ａ９をアサートする（７２４０）。

【０１３１】この時、多重化バス制御装置１００ａの同期化手段１０３ａは、多重化バス制御装置１００ｂがアクセス可能信号（１０６ｂ）をアサートするか、タイマー部１０３２ａがタイムアウトを通知するまで、アクセス許可信号（９３ａ）および同期化成功信号（１０８ａ）のいづれもアサートしない。

【０１３２】さて、Ｂ系のプロセッサ４０ｂ、５０ｂが、多重化バス制御装置１００ｂに対し、ＰＩＯアクセスを要求すると（７２５０）、多重化バス制御装置１００ｂは、アクセスの調停結果として、アクセス可能信号（１０６ｂ）をアサートする（７２６０）。

【０１３３】この時、多重化バス制御装置１００ａの同期化手段１０３ａと多重化バス制御装置１００ｂの同期化手段１０３ｂとは、アクセス許可信号（９３ａ）とアクセス許可信号（９３ｂ）、および、同期化成功信号（１０８ａ）と同期化成功信号（１０８ｂ）のすべてを同時にアサートする（７２７０）。

【０１３４】そして、アクセス許可信号（９３ａ）とアクセス許可信号（９３ｂ）が同時にアサートされると、Ａ系のプロセッサ４０ａ、５０ａとＢ系のプロセッサ４０ｂ、５０ｂは、同時にＰＩＯアクセスを実行する（７２８０）。

【０１３５】さらに、同期化成功信号（１０８ａ）と同期化成功信号（１０８ｂ）とがアサートされると、系間インターフェース８０ａと系間インターフェース８０ｂは、同期フラグ８１ａと同期フラグ８１ｂとをセットする（７２９０）。

【０１３６】次に、Ａ系のプロセッサ４０ａ、５０ａ

と、Ｂ系のプロセッサ４０ｂ、５０ｂとは、ＰＩＯアクセス終了後に、それぞれ自系の同期フラグ８１ａ、同期フラグ８１ｂの内容をリードし、同期フラグ８１ａ、８１ｂがセットされていると、同期化要求フラグ８２ａ、同期化要求フラグ８２ｂ、同期待ちフラグ８３ａ、同期待ちフラグ８３ａ、および、復旧フラグ８９ａ、復旧フラグ８９ｂをリセットして（７３００）、同期化タスクの処理を終了し（７３１０）、通常処理のタスクを起動する（７３２０）。以後、Ａ系の演算処理装置３０ａとＢ系の演算処理装置３０ｂは同期動作を行うことになる。

【０１３７】なお、以上の説明においては、主として２重系の動作にを行なうシステムについて説明してきたが、３重系以上の多重化コンピュータシステムについても本発明を適用できることは、いうまでもない。

【０１３８】以上説明してきたように、ＰＩＯアクセスを行なう際に、演算処理装置は、アクセス要求に対する信号であるアクセス許可信号を受け取るまでアクセス許可待ち状態であることを利用し、さらに、演算処理装置３０ａ、３０ｂに、ＰＩＯアクセスのアクセス許可信号９３ａ、９３ｂを同時にアサートすることにより、演算処理装置３０ａ、３０ｂにＰＩＯアクセスを同時に実行させて、演算処理装置３０ａ、３０ｂの同期化を実現することを可能にする。

【０１３９】このため、従来のように同期化のためのリセット動作等を不要とし、極めて短時間内のの通常動作の停止で、両装置の同期化を実現できることになる。さらに、本発明によれば、従来のように、複数の演算処理装置を同期化するための特別なリセット手段を設ける必要なく、通常のシステム構成に、複数種類のフラグと単純な組み合わせ回路を有した手段を備えることにより簡単に構成でき、同期化を行なうための手段を設ける際のコスト増加も低減できる。

【０１４０】

【発明の効果】本発明によれば、複数の演算処理装置で構成された耐障害性機能を有するコンピュータシステムにおいて、所定のアドレスをアクセスした応答信号を複数の演算処理装置に同時に送信することにより、障害から復旧した演算処理装置の再同期化を行なう構成にすることによって、同期化を行なうためのシステムリセットを不要とし、極めて短時間内の動作停止によって再同期化を行なえ、迅速な再同期処理を行なうことを可能にする。

【０１４１】また、同期化を行なうための手段を設ける際のコスト増加も低減できる。

【図面の簡単な説明】

【図１】本発明にかかる実施例の構成図である。

【図２】本発明にかかる実施例の構成図である。

【図３】本発明にかかる実施例の構成図である。

【図４】本発明にかかる実施例の構成図である。

【図５】障害回復処理を示すフローチャート図である。

【図６】同期化タスクを示すフローチャート図である。

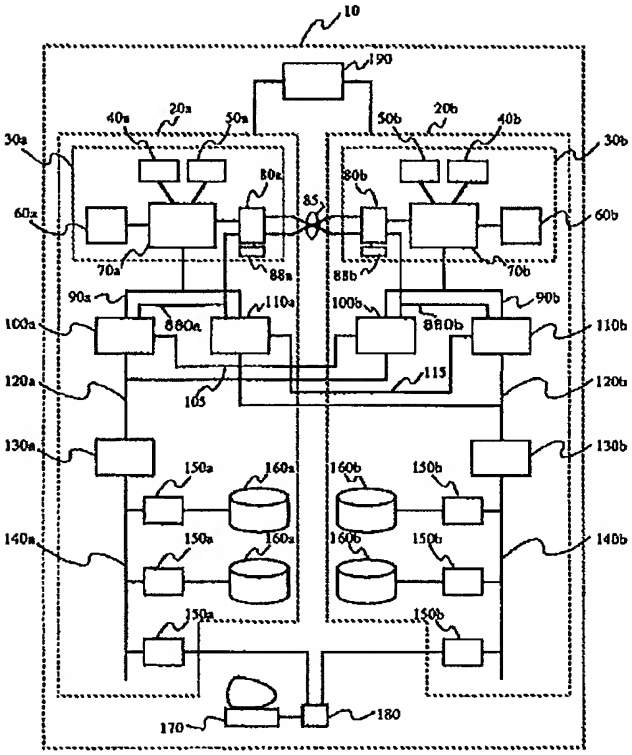
【図７】同期化処理を示すフローチャート図である。

【符号の説明】

４０ａ…プロセッサ、４０ｂ…プロセッサ、５０ａ…プロセッサ、５０ｂ…プロセッサ、６０ａ…メモリ装置、６０ｂ…メモリ装置、７０ａ…コントロールユニット、７０ｂ…コントロールユニット、８０ａ…系間インターフェース、８０ｂ…系間インターフェース、８８ａ…障害回復プログラム格納用ＲＯＭ、８８ｂ…障害回復プログラム格納用ＲＯＭ、９０ａ…システムバス、９０ｂ…システムバス、１００ａ…多重化バス制御装置、１１０ａ…多重化バス制御装置、１００ｂ…多重化バス制御装置、１１０ｂ…多重化バス制御装置、１２０ａ…多重化バス、１２０ｂ…多重化バス、１３０ａ…Ｉ／Ｏバスアダプタ、１３０ｂ…Ｉ／Ｏバスアダプタ、１４０ａ…Ｉ／Ｏバス、１４０ｂ…Ｉ／Ｏバス、１５０ａ…Ｉ／Ｏインターフェース、１５０ｂ…Ｉ／Ｏインターフェース、１５２ａ…Ｉ／Ｏインターフェース、１５２ｂ…Ｉ／Ｏインターフェース、１６０ａ…Ｉ／Ｏ装置、１６０ｂ…Ｉ／Ｏ装置、１７０…端末装置

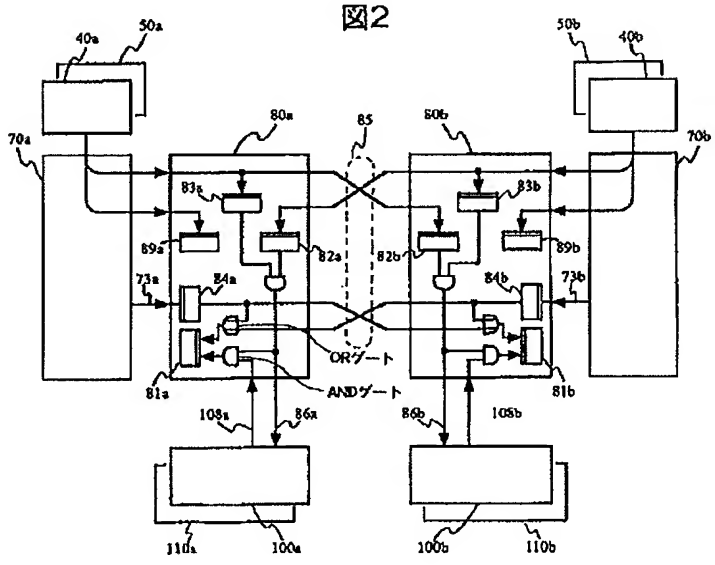
【図１】

図１



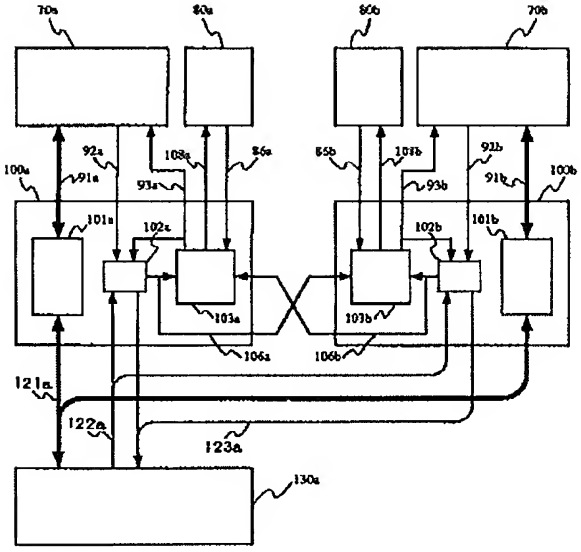
【図２】

図２



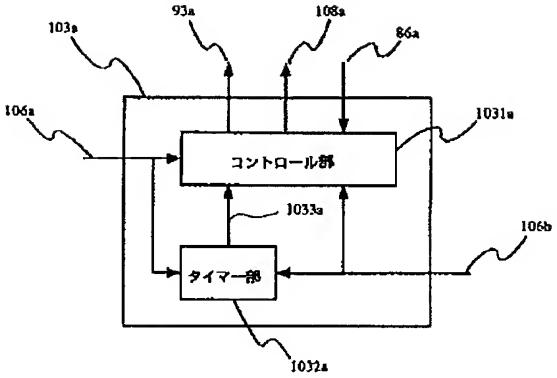
【図３】

図３



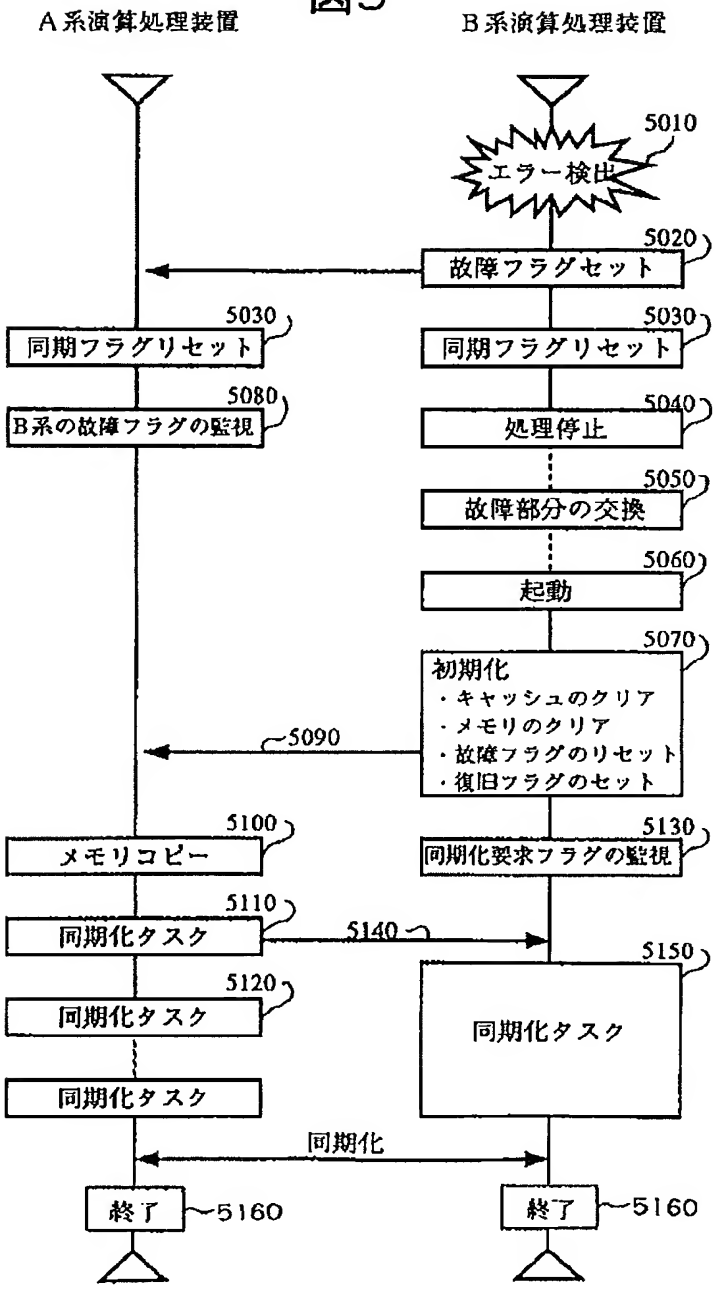
【図４】

図４



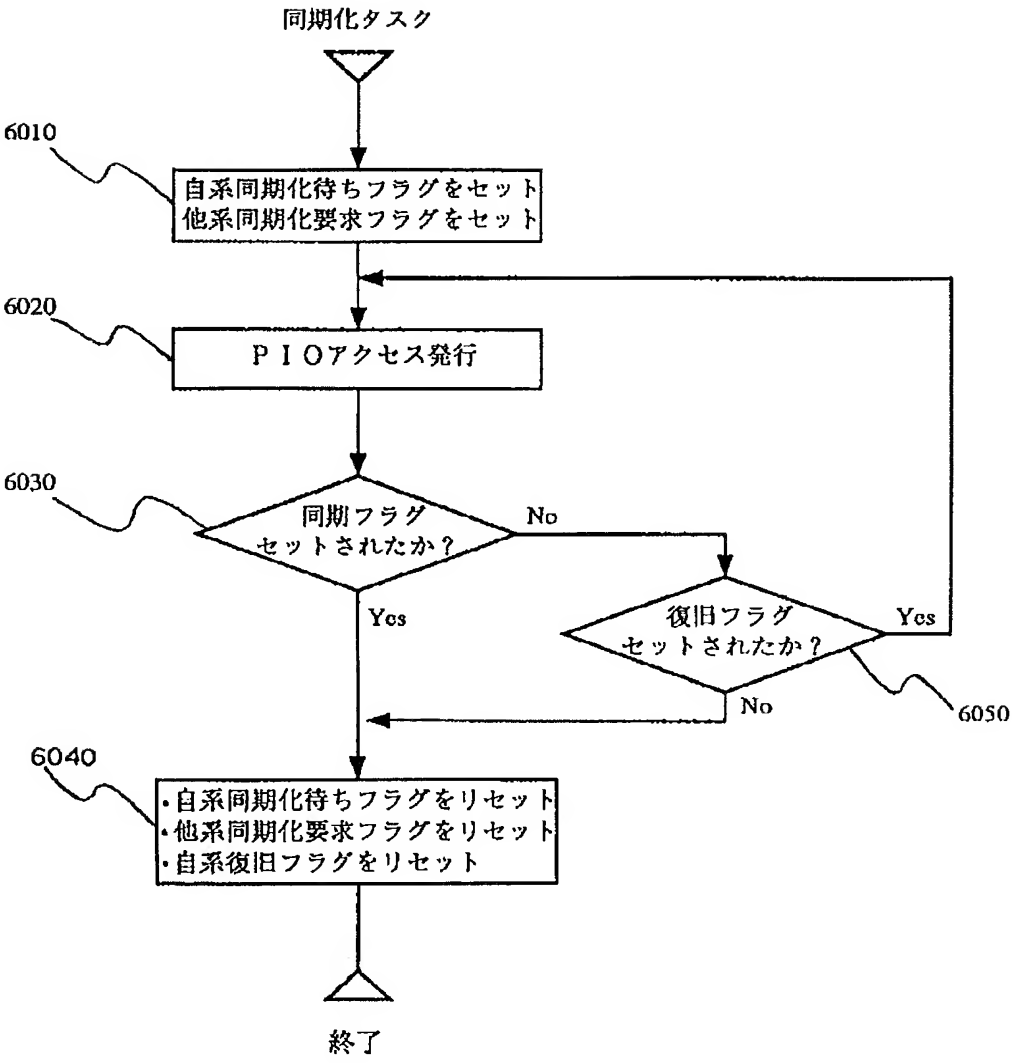
【図５】

図5


A系演算処理装置
B系演算処理装置
5010
エラー検出
5020
故障フラグセット
5030
同期フラグリセット
5030
同期フラグリセット
5080
B系の故障フラグの監視
5040
処理停止
5050
故障部分の交換
5060
起動
5070
初期化
・キャッシュのクリア
・メモリのクリア
・故障フラグのリセット
・復旧フラグのセット
5090
5100
メモリコピー
5130
同期化要求フラグの監視
5110
同期化タスク
5140
5150
5120
同期化タスク
同期化タスク
同期化
終了
5160
終了
5160

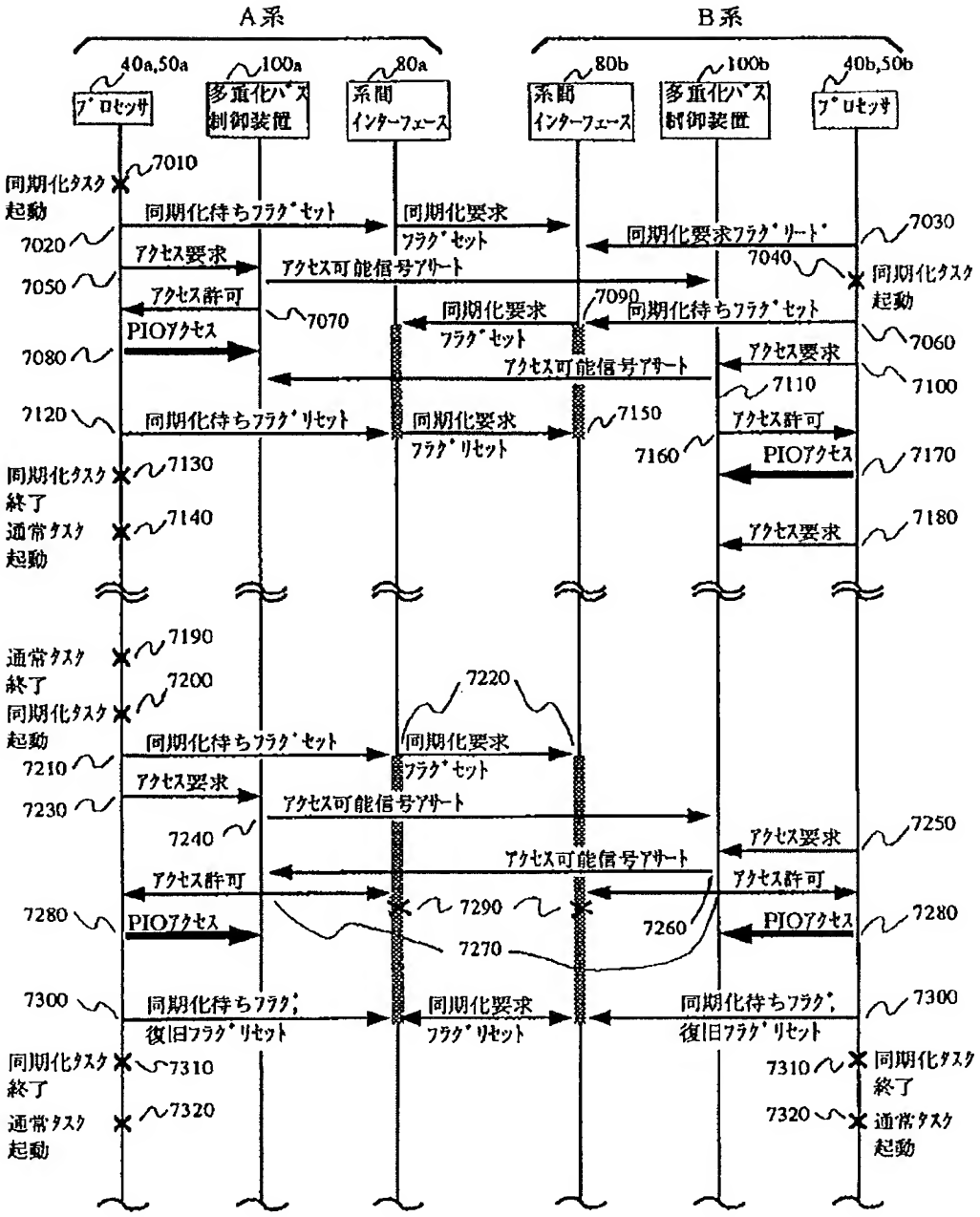
【図６】

図６


同期化タスク
6010
自系同期化待ちフラグをセット
他系同期化要求フラグをセット
6020
ＰＩＯアクセス発行
6030
同期フラグ
セットされたか？
No
Yes
復旧フラグ
セットされたか？
Yes
No
6050
6040
・自系同期化待ちフラグをリセット
・他系同期化要求フラグをリセット
・自系復旧フラグをリセット
終了

【図７】

図７


A系
B系
40a,50a
100a
80a
80b
100b
40b,50b
プロセッサ
多重化バス制御装置
系間インターフェース
系間インターフェース
多重化バス制御装置
プロセッサ
7010
同期化タスク起動
同期化待ちフラグセット
同期化要求フラグセット
同期化要求フラグリセット
7030
7020
アクセス要求
アクセス可能信号アサート
7040
同期化タスク起動
7050
アクセス許可
7070
同期化要求フラグセット
7090
同期化待ちフラグセット
PIOアクセス
7060
7080
アクセス要求
アクセス可能信号アサート
7110
7100
7120
同期化待ちフラグリセット
同期化要求フラグリセット
7150
アクセス許可
7160
PIOアクセス
7170
同期化タスク終了
7130
通常タスク起動
7140
アクセス要求
7180
通常タスク終了
7190
同期化タスク起動
7200
7220
同期化待ちフラグセット
同期化要求フラグセット
7210
アクセス要求
7230
アクセス可能信号アサート
7240
アクセス要求
7250
アクセス可能信号アサート
アクセス許可
アクセス許可
7280
PIOアクセス
7290
7260
PIOアクセス
7280
7270
7300
同期化待ちフラグ,復旧フラグリセット
同期化要求フラグリセット
同期化待ちフラグ,復旧フラグリセット
7300
同期化タスク終了
7310
7310
同期化タスク終了
通常タスク起動
7320
7320
通常タスク起動

フロントページの続き

(72)発明者　宮崎　直人
茨城県日立市大みか町七丁目１番１号　株式会社日立製作所日立研究所内

(72)発明者　高谷　壮一
茨城県日立市大みか町五丁目２番１号　株式会社日立製作所大みか工場内